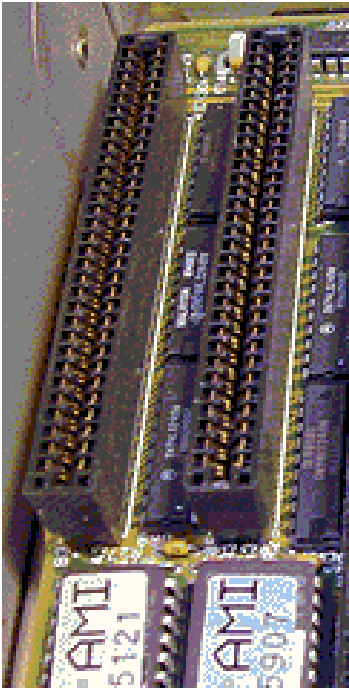
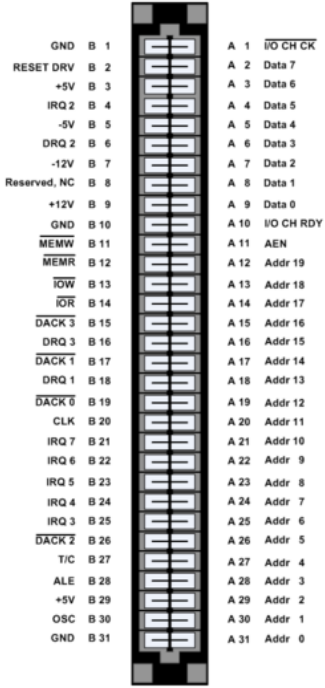


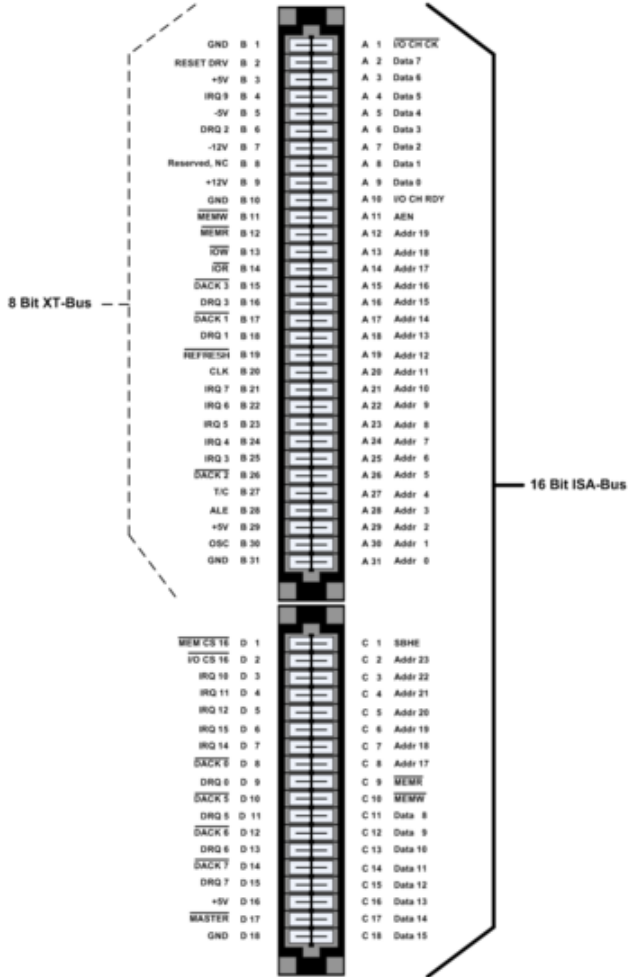
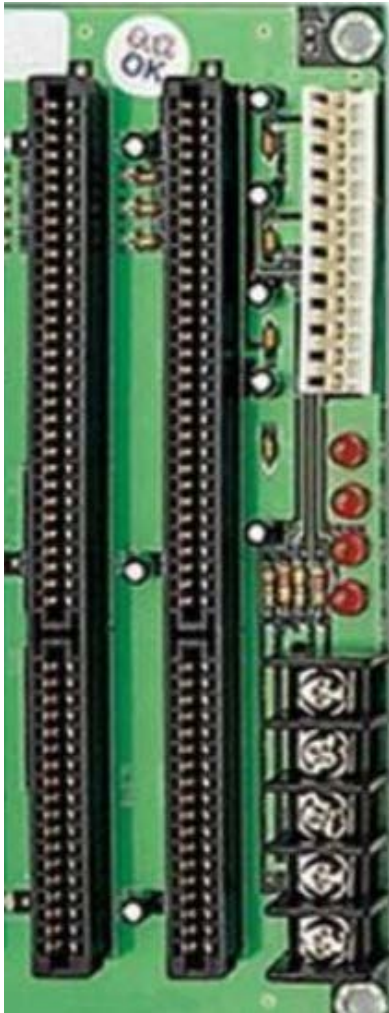
RANURAS DE EXPANSIÓN DE PC

Este pequeño apunte trata sobre la evolución de las ranuras de expansión de PC, se podrán observar en él las más difundidas en base a los estándares históricos, no pretende ser un compendio sobre el tema, simplemente servir como base a alumnos de materias relacionadas a la informática, especialmente a las relacionadas con reparación de PC.

Una ranura de expansión es una conexión en la motherboard de la computadora que permite, mediante la conexión de una placa de expansión, mejorar la capacidad de ésta. La primera computadora en poseer un bus capaz de ser expandido mediante una ranura fue la Altair 8800, desarrollada a fines de 1974, las implementaciones de este bus eran propiedad de Apple para su equipo Macintosh. En 1982, tratando de realizar un estándar de conexión algunos fabricantes de computadoras basadas en los populares Intel 8080 y Zilog Z80 funcionaban con el muy conocido S-100. No fue hasta 1983 en que IBM lanzara su muy conocido slot XT, luego denominado ISA de 8 bits, uno de los estándares más utilizados como ranuras de expansión. Es desde éste último donde comenzaremos.

AÑO DE FABRICACIÓN	IMAGEN DE LA RANURA	ASIGNACIÓN DE CONTACTOS – FACTOR DE FORMA	CARACTERÍSTICAS PRINCIPALES
1980 1983		 Pinout diagram of the ISA expansion slot showing 62 pins (B1-B31 and A1-A31) and their functions: - B1: GND - B2: RESET DRV - B3: +5V - B4: IRQ2 - B5: -5V - B6: DRQ2 - B7: -12V - B8: Reserved, NC - B9: +12V - B10: GND - B11: MEMW - B12: MEMR - B13: IOW - B14: IOR - B15: DACK3 - B16: DRQ3 - B17: DACK1 - B18: DRQ1 - B19: DACK0 - B20: CLK - B21: IRQ7 - B22: IRQ6 - B23: IRQ5 - B24: IRQ4 - B25: IRQ3 - B26: DACK2 - B27: TIC - B28: ALE - B29: +5V - B30: OSC - B31: GND - A1: I/O CH CK - A2: Data 7 - A3: Data 6 - A4: Data 5 - A5: Data 4 - A6: Data 3 - A7: Data 2 - A8: Data 1 - A9: Data 0 - A10: I/O CH RDY - A11: AEN - A12: Addr 19 - A13: Addr 18 - A14: Addr 17 - A15: Addr 16 - A16: Addr 15 - A17: Addr 14 - A18: Addr 13 - A19: Addr 12 - A20: Addr 11 - A21: Addr 10 - A22: Addr 9 - A23: Addr 8 - A24: Addr 7 - A25: Addr 6 - A26: Addr 5 - A27: Addr 4 - A28: Addr 3 - A29: Addr 2 - A30: Addr 1 - A31: Addr 0	ISA X 8 bits proviene de las siglas de "Industry Standard Architecture" ó arquitectura estándar de la industria. Este tipo de ranura se comercializa en 1980, comienza a aparecer en las viejas XT (Tecnología Extendida). Esta ranura surge de 8 bits. Se encuentra en forma de conector en línea con 62 contactos, 31 de cada lado, numerados como A1 a A31 y B1 a B31. Posee un bus de datos de 8 bits (de ahí su nombre) y un bus de direcciones de 20 bits, lo que permite un direccionamiento de hasta 1MB. Esta ranura trabajaba con una señal de reloj de 4,77 Mhz.

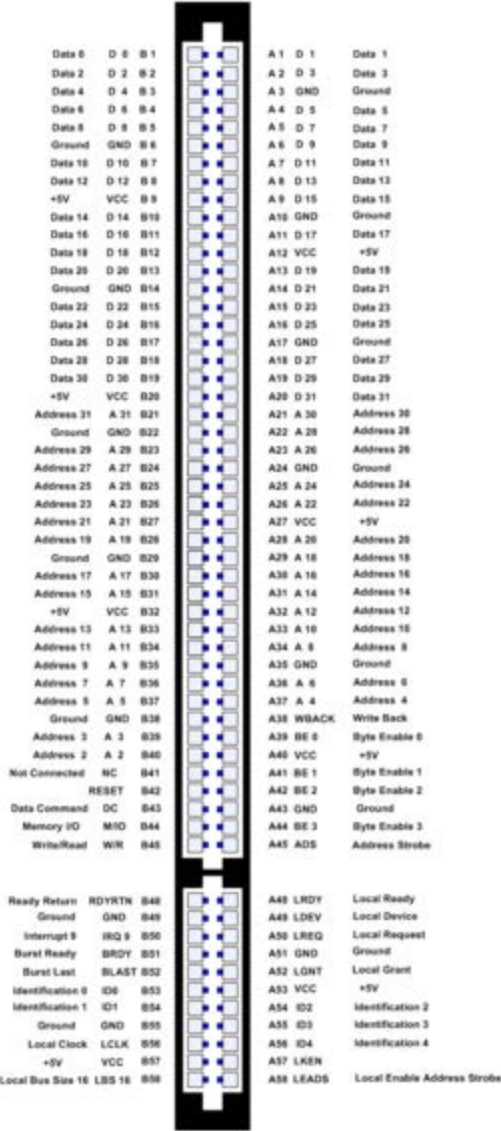
1984



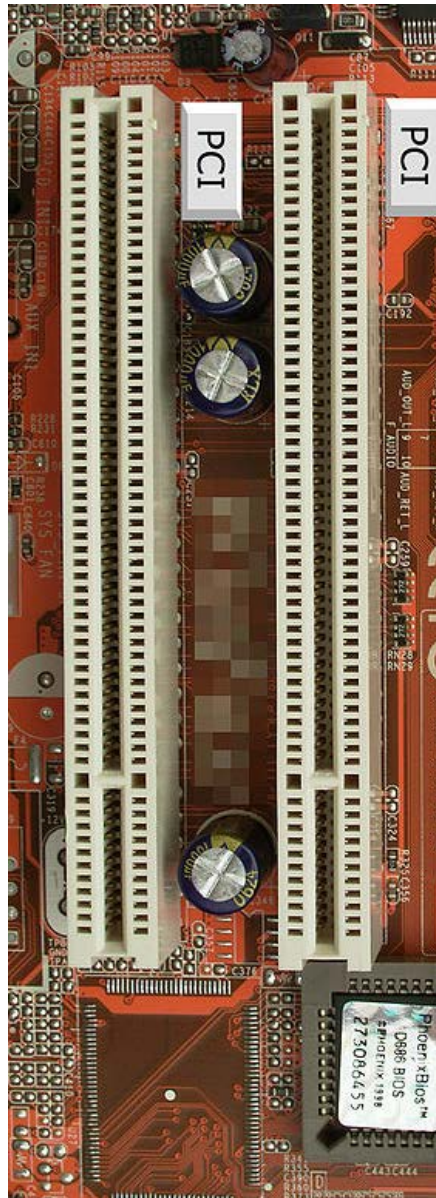
La ranura **ISA X 16 bits** fue la primera que se implementó en computadoras personales PC. Con un ancho de bus de datos de 16 bits podía ofrecer una velocidad de hasta 16MB/s con una frecuencia de 8 Mhz. Con el avance tecnológico de los años 80 y el advenimiento del microprocesador 80286 con arquitectura de 16 bits (Tecnología AT), la ranura **ISA X 8 bits** se volvía prácticamente obsoleta. Para dar solución a lo expuesto, se implementó un agregado de 36 pines a la vieja ranura de 8 bits alineado con la misma. De esta forma se conservaba el estándar. En resumen se agregaron 8 bits de datos, más direcciones, cinco interrupciones y cuatro canales DMA, además de algunas señales de control, todo trabajando a una frecuencia de 8,33 Mhz.

Es importante mencionar que la ranura de expansión **ISA X 16 bits** (bus AT), revolucionó la industria de las computadoras de su tiempo, y aunque ya sea obsoleto, se encuentra aún en muchos equipos que funcionan en la actualidad.

1992



1992

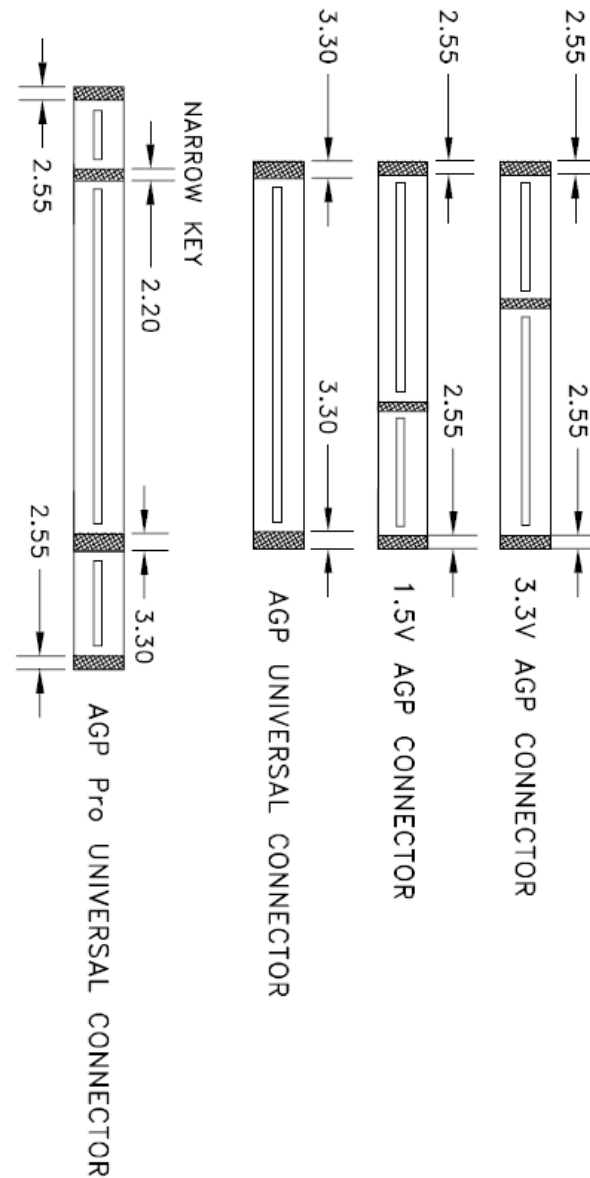


-----	Data 00	A01	B01	Data 01	-----
-----	Data 02	A02	B02	Data 03	-----
-----	Data 04	A03	B03	Ground	-----
-----	Data 06	A04	B04	Data 05	-----
-----	Data 08	A05	B05	Data 07	-----
-----	Ground	A06	B06	Data 09	-----
-----	Data 10	A07	B07	Data 11	-----
-----	Data 12	A08	B08	Data 13	-----
-----	+VCC	A09	B09	Data 15	-----
-----	Data 14	A10	B10	Ground	-----
-----	Data 16	A11	B11	Data 17	-----
-----	Data 18	A12	B12	+VCC	-----
-----	Data 20	A13	B13	Data 19	-----
-----	Ground	A14	B14	Data 21	-----
-----	Data 22	A15	B15	Data 23	-----
-----	Data 24	A16	B16	Data 25	-----
-----	Data 26	A17	B17	Ground	-----
-----	Data 28	A18	B18	Data 27	-----
-----	Data 30	A19	B19	Data 29	-----
-----	+VCC	A20	B20	Data 31	-----
Data 63	Addr. 31	A21	B21	Addr. 30	Data 62
-----	Ground	A22	B22	Addr. 28	Data 60
Data 61	Addr. 29	A23	B23	Addr. 26	Data 58
Data 59	Addr. 27	A24	B24	Ground	-----
Data 57	Addr. 25	A25	B25	Addr. 24	Data 56
Data 55	Addr. 23	A26	B26	Addr. 22	Data 54
Data 53	Addr. 21	A27	B27	+VCC	-----
Data 51	Addr. 19	A28	B28	Addr. 20	Data 52
-----	Ground	A29	B29	Addr. 18	Data 50
Data 49	Addr. 17	A30	B30	Addr. 16	Data 48
Data 47	Addr. 15	A31	B31	Addr. 14	Data 46
-----	+VCC	A32	B32	Addr. 12	Data 44
Data 45	Addr. 13	A33	B33	Addr. 10	Data 42
Data 43	Addr. 11	A34	B34	Addr. 8	Data 40
Data 41	Addr. 9	A35	B35	Ground	-----
Data 39	Addr. 7	A36	B36	Addr. 6	Data 38
Data 37	Addr. 5	A37	B37	Addr. 4	Data 36
-----	Ground	A38	B38	-WBAK	-----
Data 35	Addr. 3	A39	B39	-BE 0	-BE 4
Data 34	Addr. 2	A40	B40	+VCC	-----
-LBS64	n/c	A41	B41	-BE 1	-BE 5
-----	-RESET	A42	B42	-BE 2	-BE 6
-----	D/-C	A43	B43	Ground	-----
-----	M/-I/O	A44	B44	-BE 3	-BE 7
-----	W/-R	A45	B45	-ADS	-----
Key	Key	Key	Key	Key	Key
Key	Key	Key	Key	Key	Key
-----	-RDYRTN	A48	B48	-LRDY	-----
-----	Ground	A49	B49	-LDEV	-----
-----	IRQ 9	A50	B50	-LREQ	-----
-----	-DRDY	A51	B51	Ground	-----
-----	-BLAST	A52	B52	-LGNT	-----
Data 32	ID 0	A53	B53	+VCC	-----
Data 33	ID 1	A54	B54	ID 2	-----
-----	Ground	A55	B55	ID 3	-----
-----	LCLK	A56	B56	ID 4	-ACK64
-----	+VCC	A57	B57	n/c	-----
-----	-LBS16	A58	B58	-LEADS	-----

La ranura **PCI** (Interconexión de Componentes Periféricos), fue propuesta en el año 1992 por Intel y aceptada incluso por Apple Computer. Una de las principales características de ésta ranura es que permite la configuración dinámica de los componentes que se conectan, es decir, en el momento del arranque, las placas **PCI** conectadas negocian con el **BIOS** los recursos solicitados por dichas plaquetas (dispositivos Plug and Play), lo mencionado evita el engorroso problema de tener que "jumper" la placa en forma externa. La ranura **PCI** posee 188 contactos, fue originalmente de 32 bits con capacidad de ser expandido a 64 bits. Soporta la lógica de 3,3 volts junto a la normal de 5 volts. De esta forma hay cuatro versiones, la de 5 volts y 32 bits, la de 3,3 volts y 32 bits, la de 3,3 volts y 64 bits y la de 5 volts y 32 bits. La ranura **PCI**, es una de las que más permaneció en las computadoras, y que aún puede observarse en motherboards actuales.

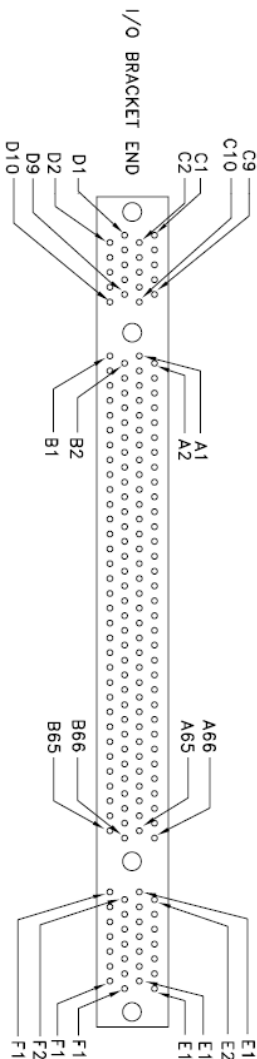
Uno de los estándares de mayor soporte en la ranura **PCI** es la versión 2.2, la cual soporta un bus de 32 bits a 66 Mhz con 3,3 volts, alcanzando una frecuencia de 533MB/s.

1996



El principal inconveniente que presentaban las placas conectadas a la ranura PCI era el cuello de botella que se formaba al realizar transferencias en operaciones de video, para presentar una solución al citado inconveniente es que Intel propone en 1996 la ranura **AGP** (Puerto de Gráficos Acelerados). La ranura **AGP** se utiliza exclusivamente para placas de video y debido a su arquitectura solo puede haber una ranura en la motherboard.

Existían dos problemas importantes antes de la implementación de la ranura **AGP**, uno era el alto costo de la memoria de video, y otro era la limitación de dicha memoria en la placa, es decir, que si se decide colocar 6 MB de memoria de video y se necesitan 4 MB para generar los macos, sólo nos quedan 2 MB para procesamiento. La ranura **AGP** soluciona estos problemas, permitiendo al procesador de video GPU, acceder a la memoria del sistema para realizar sus cálculos, de esta manera, la memoria puede compartirse entre video y sistema dependiendo de los requerimientos. Se considera a la ranura **AGP** como un puerto, y no como bus, ya que sólo involucra dos dispositivos, el microprocesador y la placa de video. Una de las características principales de la ranura **AGP** es que corre a la misma frecuencia que el bus del sistema, y no a la mitad como PCI. La ranura **AGP** ha definido un modo de trabajo de **2X**, mediante al cual tiene una forma de señalización especial, mediante la cual

																													
1996	I/O BRACKET END  NOTE: PINS A1–A66, B1–B66 ARE THE AGP UNIVERSAL CONNECTOR AGP Pro PINOUT <table><tr><td>PRST#</td><td>=</td><td>2 PINS</td></tr><tr><td>VCC3.3</td><td>=</td><td>10 PINS</td></tr><tr><td>GND</td><td>=</td><td>6 PINS</td></tr><tr><td>RESERVED</td><td>=</td><td>2 PINS</td></tr><tr><td>TOTAL</td><td>=</td><td>20 PINS</td></tr></table> AGP Pro PINOUT <table><tr><td>VCC12V</td><td>=</td><td>12 PINS</td></tr><tr><td>GND</td><td>=</td><td>12 PINS</td></tr><tr><td>RESERVED</td><td>=</td><td>4 PINS</td></tr><tr><td>TOTAL</td><td>=</td><td>28 PINS</td></tr></table>	PRST#	=	2 PINS	VCC3.3	=	10 PINS	GND	=	6 PINS	RESERVED	=	2 PINS	TOTAL	=	20 PINS	VCC12V	=	12 PINS	GND	=	12 PINS	RESERVED	=	4 PINS	TOTAL	=	28 PINS	permite enviar a través del puerto el doble de datos a la misma frecuencia del reloj. Lo que el hardware hace es transmitir datos sobre los flancos de subida y bajada de la señal de reloj, el resulta es que el desempeño se duplica, en vez de 533 MB/s del ancho de banda teórico. En el modo de 4X la tasa de transferencia se eleva a 1066 MB/s, y en el modo 8X se logra una tasa de transferencia de 2,1 GB/s. Se puede observar que el factor de forma en la ranura AGP es variado en base a la tensión, tasa de transferencia y arquitectura. Existiendo de esta manera una ranura universal, una funcionando a 1,5 volts y otra a 3,3 volts, cambiando en las últimas la posición de la muesca que da la ubicación de la placa en dicha ranura. La ranura AGP fue reemplazada en la actualidad por la ranura PCI-Express.
PRST#	=	2 PINS																											
VCC3.3	=	10 PINS																											
GND	=	6 PINS																											
RESERVED	=	2 PINS																											
TOTAL	=	20 PINS																											
VCC12V	=	12 PINS																											
GND	=	12 PINS																											
RESERVED	=	4 PINS																											
TOTAL	=	28 PINS																											

2007



PINOUT PCI-E 1X

Pin	Side B Connector		Side A Connector	
#	Name	Description	Name	Description
1	+12v	+12 volt power	PRSNT #1	Hot plug presence detect
2	+12v	+12 volt power	+12v	+12 volt power
3	RSVD	Reserved	+12v	+12 volt power
4	GND	Ground	GND	Ground
5	SMCLK	SMBus clock	JTAG2	TCK
6	SMDAT	SMBus data	JTAG3	TDI
7	GND	Ground	JTAG4	TDO
8	+3.3v	+3.3 volt power	JTAG5	TMS
9	JTAG1	+TRST#	+3.3v	+3.3 volt power
10	3.3Vaux	3.3v volt power	+3.3v	+3.3 volt power
11	WAKE #	Link Reactivation	PWRGD	Power Good
Mechanical Key				
12	RSVD	Reserved	GND	Ground
13	GND	Ground	REFCLK+	Reference Clock Differential pair
14	HSOp(0)	Transmitter Lane 0, Differential pair	REFCLK-	
15	HSOn(0)		GND	Ground
16	GND	Ground	HSIp(0)	Receiver Lane 0, Differential pair
17	PRSNT #2	Hotplug detect	HSIn(0)	
18	GND	Ground	GND	Ground

La ranura **PCI-E** forma parte de los componentes de entrada/salida de tercera generación. Su estructura se configura en forma de carriles "lanes" que forman conexiones punto a punto seriales del tipo full-dúplex. La misma puede tener uno, dos, cuatro, ocho o dieciséis carriles, cada carril o lane se indica con la letra **X**, así por ejemplo una ranura **PCI-E 16X** tiene 16 carriles y logra una tasa de transferencia de 500MB/s por carril, con lo cual podemos obtener una tasa de transferencia de hasta 8GB/s.

La ranura **PCI-E 3.0** transmite 1GB/s en forma unidireccional, 2 GB/s en forma bidireccional, por lo que se logra en el caso de la de 16X un máximo de 16GB/s direccionales y 32GB/s Bidireccionales. El protocolo de transmisión para la interfaz **PCI-E** fue mejorando con los años.

2007	PCI-E 1X: Posee 36 contactos y está destinado al uso de placas sobre un gran ancho de banda, ej. Placas de audio, red, etc.  PCI-E 4X: Posee 64 contactos y su uso más común se encuentra en arquitecturas (motherboards) de características especiales, por ejemplo mainframe, servidores, donde se requiera una alta tasa de transferencia para dispositivos como una placa de red.  PCI-E 8X: Posee 98 contactos y al igual que el anterior suele encontrarse en arquitecturas especiales.  PCI-E 16X: Posee 164 contactos y está destinada al uso de placas de video, no puede ser utilizada para conectar otro tipo de plaquetas. 	VER DESCRIPCIÓN DEL PINOUT EN LA SIGUIENTE PÁGINA	El protocolo utilizado por dicha ranura estableció el reloj de la señal en 2,5 GHz y los datos se transmiten en "frames" de 10 bits, con uno de "start", 8 de datos y uno de "stop". De esta forma, a 2,5 GHz se pueden transmitir 250 MB/s. Esto requiere de menor cantidad de contactos que una interfaz paralela, por lo que el conector será más pequeño. Una revisión posterior del estándar aumentó la velocidad a 5 GHz, con lo que el máximo ancho de banda, usando 23 "lanes" se eleva a 16 GB/s como se citó con anterioridad.
------	---	--	---

SE OBSERVA EN LA SIGUIENTE TABLA LA ASIGNACIÓN DE PINES DEL SLOT PCI-E DE 16X

PCI-EXPRESS 16x PINOUT				
Pin	Side B Connector		Side A Connector	
#	Name	Description	Name	Description
1	+12v	+12 volt power	PRSNT#1	Hot plug presence detect
2	+12v	+12 volt power	+12v	+12 volt power
3	+12v	+12 volt power	+12v	+12 volt power
4	GND	Ground	GND	Ground
5	SMCLK	SMBus clock	JTAG2	TCK
6	SMDAT	SMBus data	JTAG3	TDI
7	GND	Ground	JTAG4	TDO
8	+3.3v	+3.3 volt power	JTAG5	TMS
9	JTAG1	+TRST#	+3.3v	+3.3 volt power
10	3.3Vaux	3.3v volt power	+3.3v	+3.3 volt power
11	WAKE#	Link Reactivation	PWRGD	Power Good
Mechanical Key				
12	RSVD	Reserved	GND	Ground
13	GND	Ground	REFCLK+	Reference Clock
14	HSOp(0)	Transmitter Lane 0,	REFCLK-	Differential pair
15	HSOn(0)	Differential pair	GND	Ground
16	GND	Ground	HSIp(0)	Receiver Lane 0,
17	PRSNT#2	Hotplug detect	HSIn(0)	Differential pair
18	GND	Ground	GND	Ground
19	HSOp(1)	Transmitter Lane 1,	RSVD	Reserved
20	HSOn(1)	Differential pair	GND	Ground
21	GND	Ground	HSIp(1)	Receiver Lane 1,
22	GND	Ground	HSIn(1)	Differential pair
23	HSOp(2)	Transmitter Lane 2,	GND	Ground
24	HSOn(2)	Differential pair	GND	Ground
25	GND	Ground	HSIp(2)	Receiver Lane 2,

26	GND	Ground	HSIn(2)	Differential pair
27	HSOp(3)	Transmitter Lane 3,	GND	Ground
28	HSOn(3)	Differential pair	GND	Ground
29	GND	Ground	HSIp(3)	Receiver Lane 3,
30	RSVD	Reserved	HSIn(3)	Differential pair
31	PRSNT#2	Hot plug detect	GND	Ground
32	GND	Ground	RSVD	Reserved
33	HSOp(4)	Transmitter Lane 4,	RSVD	Reserved
34	HSOn(4)	Differential pair	GND	Ground
35	GND	Ground	HSIp(4)	Receiver Lane 4,
36	GND	Ground	HSIn(4)	Differential pair
37	HSOp(5)	Transmitter Lane 5,	GND	Ground
38	HSOn(5)	Differential pair	GND	Ground
39	GND	Ground	HSIp(5)	Receiver Lane 5,
40	GND	Ground	HSIn(5)	Differential pair
41	HSOp(6)	Transmitter Lane 6,	GND	Ground
42	HSOn(6)	Differential pair	GND	Ground
43	GND	Ground	HSIp(6)	Receiver Lane 6,
44	GND	Ground	HSIn(6)	Differential pair
45	HSOp(7)	Transmitter Lane 7,	GND	Ground
46	HSOn(7)	Differential pair	GND	Ground
47	GND	Ground	HSIp(7)	Receiver Lane 7,
48	PRSNT#2	Hot plug detect	HSIn(7)	Differential pair
49	GND	Ground	GND	Ground
50	HSOp(8)	Transmitter Lane 8,	RSVD	Reserved
51	HSOn(8)	Differential pair	GND	Ground
52	GND	Ground	HSIp(8)	Receiver Lane 8,
53	GND	Ground	HSIn(8)	Differential pair
54	HSOp(9)	Transmitter Lane 9,	GND	Ground

55	HSOn(9)	Differential pair	GND	Ground
56	GND	Ground	HSIp(9)	Receiver Lane 9, Differential pair
57	GND	Ground	HSIn(9)	
58	HSOp(10)	Transmitter Lane 10,	GND	Ground
59	HSOn(10)	Differential pair	GND	Ground
60	GND	Ground	HSIp(10)	Receiver Lane 10, Differential pair
61	GND	Ground	HSIn(10)	
62	HSOp(11)	Transmitter Lane 11,	GND	Ground
63	HSOn(11)	Differential pair	GND	Ground
64	GND	Ground	HSIp(11)	Receiver Lane 11, Differential pair
65	GND	Ground	HSIn(11)	
66	HSOp(12)	Transmitter Lane 12,	GND	Ground
67	HSOn(12)	Differential pair	GND	Ground
68	GND	Ground	HSIp(12)	Receiver Lane 12,

69	GND	Ground	HSIn(12)	Differential pair
70	HSOp(13)	Transmitter Lane 13,	GND	Ground
71	HSOn(13)	Differential pair	GND	Ground
72	GND	Ground	HSIp(13)	Receiver Lane 13, Differential pair
73	GND	Ground	HSIn(13)	
74	HSOp(14)	Transmitter Lane 14,	GND	Ground
75	HSOn(14)	Differential pair	GND	Ground
76	GND	Ground	HSIp(14)	Receiver Lane 14, Differential pair
77	GND	Ground	HSIn(14)	
78	HSOp(15)	Transmitter Lane 15,	GND	Ground
79	HSOn(15)	Differential pair	GND	Ground
80	GND	Ground	HSIp(15)	Receiver Lane 15, Differential pair
81	PRSNT#2	Hot plug present detect	HSIn(15)	
82	RSVD#2	Hot Plug Detect	GND	Ground